

CHARGE STORAGE DEVICE

Publication number: JP7264494

Publication date: 1995-10-13

Inventor: NIIRU KURISUTOFUAA BAADO; JIERAADO
FURANSHISU HAAKIN

Applicant: PHILIPS ELECTRONICS NV

Classification:

- international: H01L27/146; H04N3/15; H04N5/32; H04N5/335;
H01L27/146; H04N3/15; H04N5/32; H04N5/335; (IPC-
7): H04N5/335; H01L27/146

- European: H04N3/15C4; H04N3/15E6

Application number: JP19950044231 19950303

Priority number(s): GB19940004113 19940303

Also published as:



EP0670658 (A2)

US5569908 (A1)

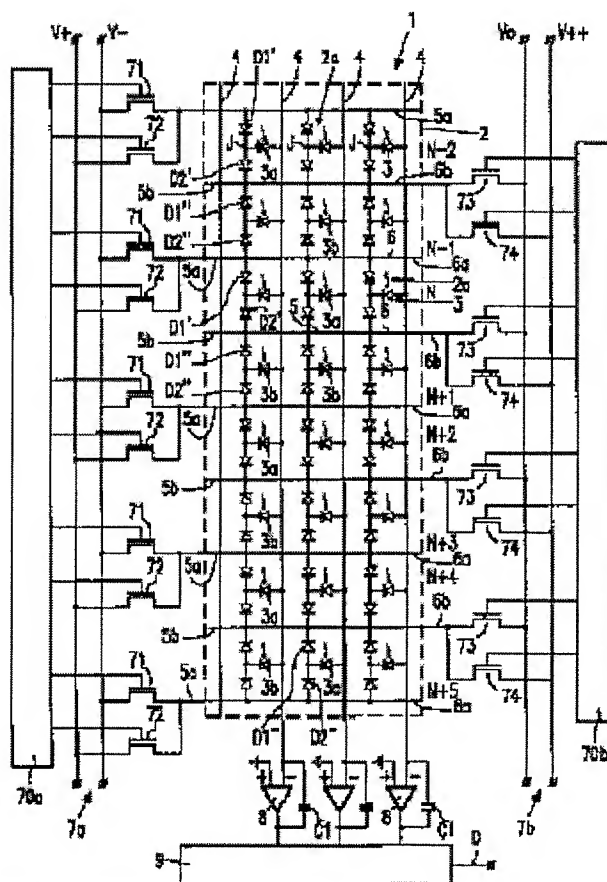
EP0670658 (A3)

EP0670658 (B1)

Report a data error here

Abstract of JP7264494

PURPOSE: To solve the problem of incomplete recharging of a storage element of a charge storage device without increasing the total number of conductors. **CONSTITUTION:** Charge storage elements are arranged in matrix and while the storage elements in the columns are coupled with 1st conductors, the storage elements in the rows are coupled with 2nd conductors 5 through a 1st rectifying element D1 and also coupled with 3rd conductors 6 through a 2nd rectifying element D2; when the 1st and 2nd rectifying elements are biased forward with applied voltage, currents are made to flow. The 3rd conductors of the respective storage element rows form even the 2nd conductors of adjacent storage element rows. The 1st and 2nd rectifying elements relating to the storage elements in alternate rows are arranged in the opposite directions from the 1st and 2nd rectifying elements relating to the storage elements in the remaining rows. This device is provided with a means 7 which supplies the 2nd and 3rd conductors with a voltage biasing forward only the rectifying elements relating to the storage elements of a row selected to read electric charges out of the storage elements of the selected row.



Data supplied from the esp@cenet database - Worldwide

特開平7-264494

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 5/335

U

G

H 0 1 L 27/146

H 0 1 L 27/ 14

C

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21)出願番号 特願平7-44231

(22)出願日 平成7年(1995)3月3日

(31)優先権主張番号 9 4 0 4 1 1 3 : 4

(32)優先日 1994年3月3日

(33)優先権主張国 イギリス (GB)

(71)出願人 590000248

フィリップス エレクトロニクス ネムロ
ーゼ フェンノートシャップ
PHILIPS ELECTRONICS
N. V.オランダ国 アインドーフエン フルーネ
ヴァウツウエッハ 1

(72)発明者 ニール クリストファー バード

イギリス国 サリー アールエイチ6 7
ビーユー ホーレイ オークウッド ロー
ド 10

(74)代理人 弁理士 杉村 暁秀 (外5名)

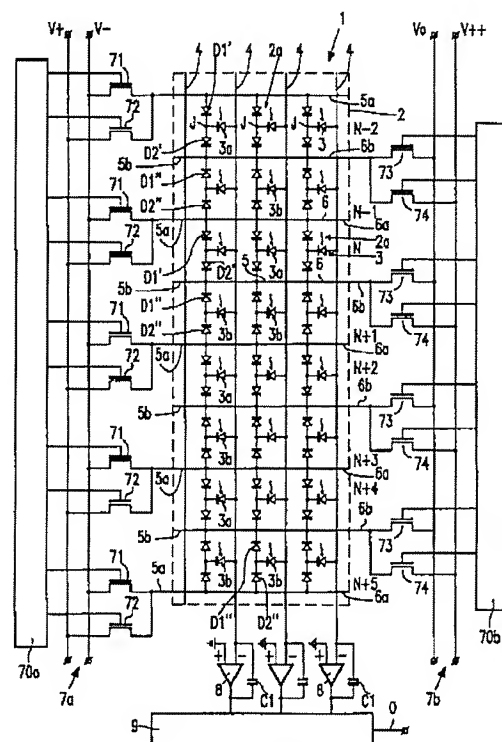
最終頁に続く

(54)【発明の名称】 電荷蓄積装置

(57)【要約】

【目的】 電荷蓄積装置の蓄積素子の不完全な再充電の問題を、導体総数を増大する必要なしに解消することにある。

【構成】 電荷蓄積素子3が行列配置され、列内の蓄積素子が第1導体4に結合され、行内の各蓄積素子が第2導体5に第1整流素子D1を経て結合されるとともに第3導体6に第2整流素子D2を経て結合され、第1及び第2整流素子が印加電圧により順方向バイアスされたときに電流を流すように構成されている。各蓄積素子行の第3導体が隣接する蓄積素子行の第2導体も形成する。一つ置きに行内の蓄積素子と関連する第1及び第2整流素子を残りの行内の蓄積素子と関連する第1及び第2整流素子に対し逆向きに配置する。選択行の蓄積素子に蓄積されている電荷を読出すために選択された行の蓄積素子と関連する整流素子のみを順方向バイアスする電圧を第2及び第3導体に供給する手段7を設ける



【特許請求の範囲】

【請求項1】 電荷蓄積用の蓄積素子のアレイを具え、これらの蓄積素子は行及び列に配置され、列内の蓄積素子は第1導体に結合され、行内の蓄積素子は第2及び第3導体に結合され、且つ行内の各蓄積素子は関連する第2導体に第1整流素子を経て結合されるとともに、関連する第3導体に第2整流素子を経て結合され、第1及び第2整流素子が印加電圧により順方向バイアスされたときに電流を流すように構成された電荷蓄積装置において、各蓄積素子行の第3導体が隣接する蓄積素子行の第2導体も形成し、一つ置きに行内の蓄積素子と関連する第1及び第2整流素子が残りの行内の蓄積素子と関連する第1及び第2整流素子に対し逆向きに配置され、順方向バイアスのとき前記一つ置きに行内の蓄積素子と関連する第1及び第2整流素子が第2及び第3導体間に一方に電流を流し、逆バイアスのとき前記残りの行内の蓄積素子と関連する第1及び第2整流素子が第2及び第3導体間に反対方向に電流を流すように構成され、且つ選択された行の蓄積素子に蓄積されている電荷を読出すために選択された行の蓄積素子と関連する整流素子のみを順方向バイアスする電圧を第2及び第3導体に供給する手段が設けられていることを特徴とする電荷蓄積装置。

【請求項2】 各蓄積素子は、一動作モードにおいて入射光にตอบสนองして電荷を蓄積するフォトセンシティブ素子からなることを特徴とする請求項1記載の電荷蓄積装置。

【請求項3】 フォトセンシティブ素子はフォトセンシティブダイオードであることを特徴とする請求項2記載の電荷蓄積装置。

【請求項4】 各蓄積素子と関連する整流素子の一方がフォトセンシティブ素子で構成され、且つ整流素子と蓄積素子が、同一の蓄積素子列内の一つの蓄積素子からの電荷の読出し中における他の蓄積素子からのリーク電流が減少するように配置されていることを特徴とする請求項2又は3記載の電荷蓄積装置。

【請求項5】 整流素子はダイオードであることを特徴とする請求項1～4のいずれかに記載の電荷蓄積装置。

【請求項6】 蓄積素子及び整流素子が接合ダイオードで構成され、各蓄積素子及び関連する第1及び第2整流素子の一方がフォトセンシティブであり、整流素子及び蓄積素子が、各蓄積素子及び関連する第1及び第2整流素子に対し、

$$(C_x + C_r) I_r = C_r I_0$$

ここで、 C_x 、 C_r 及び C_r はフォトセンシティブ整流素子、他方の整流素子及びフォトセンシティブ蓄積素子の固有キャパシタンス、及び I_r 及び I_0 はフォトセンシティブ蓄積素子及びフォトセンシティブ整流素子に入射した光により発生される電流、となるように配置されていることを特徴とする請求項1記載の電荷蓄積装置。

【請求項7】 各蓄積素子に対し、関連する整流素子が

所定の面積を有し、蓄積素子及びフォトセンシティブ整流素子が入射光に露光される第2の所定面積を有し、整流素子及び蓄積素子のそれぞれの面積が、

$$(A_{CD1} / 2 A_{DD1}) = (A_{CS} / A_{DS})$$

ここで、 A_{DS} 及び A_{DD1} は蓄積素子及び関連する整流素子の面積、及び A_{CS} 及び A_{CD1} は蓄積素子及び関連するフォトセンシティブ整流素子の入射光に露光される第2の所定面積、の関係にあることを特徴とする請求項6記載の電荷蓄積装置。

【請求項8】 選択された行の蓄積素子に蓄積されている電荷を読出すために選択された蓄積素子行と関連する整流素子のみを順方向バイアスする電圧を第2及び第3導体に供給する手段が、第2導体に電圧を供給する第1電圧供給手段及び第3導体に電圧を供給する第2電圧供給手段を具えることを特徴とする請求項1～7のいずれかに記載の電荷蓄積装置。

【請求項9】 読出すべき電荷蓄積素子を含む選択された行と関連する第2及び第3導体の一方に第1電圧を、他方に第2電圧を供給して関連する第1及び第2整流素子を順方向バイアスし、且つ選択された行の前記他方の(第2)導体に隣接する任意の第2導体に第3電圧を、選択された行の前記一方の(第2)導体に隣接する任意の第2導体に第4電圧を供給して選択された行に隣接する各電荷蓄積素子行と関連する第1及び第2整流素子を逆バイアスするとともに、残りの第2導体に交互に第2及び第3電圧を供給して残りの電荷蓄積素子行と関連する第1及び第2整流素子を逆バイアスすることにより一つの列の各電荷蓄積素子に蓄積された電荷を逐次読出すことを特徴とする請求項1～8のいずれかに記載の電荷蓄積装置の動作方法。

【請求項10】 第2電圧が大地電圧であり、第1電圧が第2電圧に対し正であり、第3電圧が第2電圧に対し負であり、第4電圧が第1電圧に対し正であることを特徴とする請求項9記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電荷蓄積装置及びこのような装置を動作させる方法に関するものである。

【0002】

【従来の技術】 図1はイメージセンサ100の形態の既知の電荷蓄積装置の画素101の一例を示す。一般に、イメージセンサ100は関連する行導体102及び列導体103を有するN行M列の画素の二次元マトリクスを具えるが、簡便のために一つの画素のみを図1に示す。

【0003】 画素101は関連する行導体102及び関連する列導体103間に直列に結合されたフォトセンシティブダイオードPD及びスイッチングダイオードSDを具える。図示の例では、スイッチングダイオードSD及びフォトセンシティブダイオードPDはそれらのカソードを相互結合して配置される。キャパシタCがフォト

センシティブダイオードPDの両端間に結合されている。このキャパシタCはフォトセンシティブダイオードPDの寄生キャパシタンスとすることができ、またイメージセンサ100のダイナミックレンジを増大するために付加する追加のキャパシタとすることができる。各列導体103は、その入力及び出力間に容量結合を有する適当な電荷検出増幅器104に結合される。

【0004】このようなイメージセンサは、スイッチングダイオードSDの抵抗値をダイオード両端間の電圧が低下するにつれて増大せしめるスイッチングダイオードSDの非線形順方向抵抗により生ずるイメージラグを被る。画素101のフォトセンシティブダイオードPDに入射する光はフォトセンシティブダイオードPDのキャパシタンスCを放電させる。適当な電圧 V_R を関連する行導体102に供給してスイッチングダイオードSDを順方向バイアスすると、電流が流れはじめてフォトセンシティブダイオードPDのキャパシタンスCを再充電し、フォトセンシティブダイオードPDに蓄積された電荷を電荷検出増幅器104により積分することができる。しかし、フォトセンシティブダイオードPDの両端間電圧が上昇するにつれて、スイッチングダイオードSDの順方向抵抗が増大する。従って、フォトセンシティブダイオードキャパシタンスCの充電速度が低下し、読出し期間の終了時に、フォトセンシティブダイオードキャパシタンスCが完全に再充電されなくなる。行電圧 V_R は読出パルスの終了時に低下し、スイッチングダイオードSDが再び逆バイアスになる。光が読出パルス間の積分期間においてフォトセンシティブダイオードPDに入射しないときでも、次の読出パルスが行導体102に供給されると、スイッチングダイオードSDは再び順方向バイアスになる。その理由は、フォトセンシティブダイオードキャパシタンスCの充電がその前の読出パルス中に完了してないためである。従って、少量の電流が流れ、フォトセンシティブダイオードキャパシタンスCが少し充電される。この処理が次の数個の読出パルスに対し繰返され、その都度充電量が次第に小さくなる。

【0005】図2aは行電圧 V_R の経時変化を示すとともに、第1読出パルスの直前から画素に光が入射しない状態において瞬時 t_0 、 t_1 、 t_2 及び t_3 に供給される4つの順次の読出パルス R_0 、 R_1 、 R_2 及び R_3 を示す。図2bは4つの行電圧パルスが順次に供給される期間におけるフォトセンシティブダイオードキャパシタンスCの電圧 V_C の変化を示す。図2bから明らかなように、第1行電圧パルス R_0 の前からフォトセンシティブダイオードPDに光が入射しない場合でも、フォトセンシティブダイオードPDのキャパシタンスは第1読出パルス R_0 中に完全に再充電されず、次の読出パルス R_1 、 R_2 及び R_3 中に少しづつ充電される。このとき流

れる電流が電荷検出増幅器104により積分される。図2cは電荷検出増幅器104の出力電圧の変化を読出パルス $R_0 \sim R_3$ の時間スケールに亘って示し、時間 t_0 、 t_1 、 t_2 及び t_3 は読出パルス R_0 、 R_1 、 R_2 及び R_3 の印加開始瞬時を表す。出力電圧 V_o は第1読出パルス R_0 の終了時に高電圧 V_H から低電圧 V_L に図2cに破線aで示すように低下する代わりに、電圧 V_o は実線bで示すようにもっとゆっくり低電圧 V_L に変化する。その理由は、上述したように、フォトセンシティブダイオードキャパシタンスCが照明の除去後の第1読出パルス R_0 に続く読出パルス中も充電を続けるためである。従って、検出イメージに“ラグ”を生じ、これは動く画像又は変化する画像がぼけることを意味する。

【0006】EP-A-233489には、電荷を蓄積する蓄積素子のアレイを具え、これらの蓄積素子は行及び列に配置され、列内の蓄積素子は第1導体に結合され、行内の蓄積素子は第2及び第3導体に結合された電荷蓄積装置において、行内の各蓄積素子は関連する第2導体に第1整流素子又は絶縁素子を経て結合するとともに関連する第3導体に第2整流素子又は絶縁素子を経て結合し、第1及び第2整流素子が印加電圧により順方向バイアスされるときに電流を流すようにすることが記載されている。

【0007】EP-A-233489に記載されているように、蓄積素子はフォトセンシティブダイオードを具えたとともに、第1及び第2整流素子はスイッチングダイオードを具える。この装置の動作状態では、適当な電圧が一行の蓄積素子と関連する第2及び第3導体に供給され、一行の蓄積素子に電荷を蓄積する必要があるときは関連する第1及び第2整流素子を逆バイアスし、一行の蓄積素子から電荷を読出す必要があるときは関連する第1及び第2整流素子を順方向バイアスする。

【0008】従って、EP-A-233489はスイッチングダイオード又は整流素子SDを、2つの行導体間に直列に結合された2つの整流素子と置き換え、フォトセンシティブダイオードPDを2つの整流素子の接続点に結合している。この場合、画素は両整流素子又はスイッチング素子を順方向バイアスする電圧を行導体に供給して両スイッチングダイオードを経て電流を流すことにより読み出され、このとき両スイッチングダイオードの接続点の電圧は、両ダイオードが同一であれば2つの行導体に供給された電圧の平均値に等しい値になる。このような電荷蓄積装置の動作状態では、画素が丁度読出し終わり、フォトセンシティブダイオードのキャパシタンスが充電されているとき、2つの行導体に適当な電圧が供給され、両スイッチングダイオードが逆バイアスになる。光がフォトセンシティブダイオードPDに入射すると、電荷が発生し、フォトセンシティブダイオードPDの両端間電圧が低下する。次の読出パルスが2つの行導体に供給され、両スイッチングダイオードが順方向バイ

アスされると、2つの行の電圧の平均値になるまで電流がフォトセンシティブダイオードキャパシタンスCを経て流れる。従って、フォトセンシティブダイオードキャパシタンスCを対応する読出パルス中に完全に再充電することができ、従ってラグが僅かになり、或いは全く生じなくなる。

【0009】

【発明が解決しようとする課題】しかし、EP-A-233489に開示された電荷蓄積装置は電荷蓄積素子の各行ごとに2つの行導体を必要とし、従って装置内の導体により占められる面積が必然的に増大し、また行及び列導体とこれらの導体に電圧を供給する対応する駆動回路との間に極めて多数の接続を必要とする。

【0010】行導体の数の増大は必然的に装置内の導体が占める面積を増大し、蓄積素子に使用しうる面積が犠牲になる。この点は、この電荷蓄積装置をイメージセンサとし、このイメージセンサをできるだけ透明にして、例えばCRT（陰極線管）又はLCD（液晶デバイス）ディスプレイのようなディスプレイをイメージセンサを通して見えるようにする場合、又はこの電荷蓄積装置を例えばX線診断用のイメージセンサとする場合のようにできるだけ大きなフォトセンシティブ領域を有するものとする必要がある場合に特に不利である。

【0011】

【課題を解決するための手段】本発明の第1の特徴は、電荷蓄積用の蓄積素子のアレイを具え、これらの蓄積素子は行及び列に配置され、列内の蓄積素子は第1導体に結合され、行内の蓄積素子は第2及び第3導体に結合され、且つ行内の各蓄積素子は関連する第2導体に第1整流素子を経て結合されるとともに、関連する第3導体に第2整流素子を経て結合され、第1及び第2整流素子が印加電圧により順方向バイアスされたときに電流を流すように構成された電荷蓄積装置において、各蓄積素子行の第3導体が隣接する蓄積素子行の第2導体も形成し、一つ置きに行内の蓄積素子と関連する第1及び第2整流素子が残りの行内の蓄積素子と関連する第1及び第2整流素子に対し逆向きに配置され、順方向バイアスのとき前記一つ置きに行内の蓄積素子と関連する第1及び第2整流素子が第2及び第3導体間に一方向に電流を流し、逆バイアスのとき前記残りの行内の蓄積素子と関連する第1及び第2整流素子が第2及び第3導体間に反対方向に電流を流すように構成され、且つ選択された行の蓄積素子に蓄積されている電荷を読出すために選択された行の蓄積素子と関連する整流素子のみを順方向バイアスする電圧を第2及び第3導体に供給する手段が設けられている点にある。

【0012】ここで、“整流素子”とは一方向（逆方向）にできるだけ低い電流を流すとともに他方向（順方向）に所要の電流を流す非対称特性を有する任意の素子を意味するものと理解されたい。

【0013】従って、本発明装置によれば、電荷蓄積素子の不完全な再充電の問題を蓄積素子行と関連する導体の総数を増大することなく低減することができる。各蓄積素子は、一動作モードで入射光にตอบสนองして電荷を蓄積するフォトセンシティブ素子を具えるものとしてすることができる。整流素子は薄膜技術により形成しうるダイオードとすることができる。

【0014】各蓄積素子と関連する整流素子の一方をフォトセンシティブ素子で構成し、且つ整流素子と蓄積素子を同一の蓄積素子列内の一つの蓄積素子からの電荷の読出し中における他の蓄積素子からのリーク電流が減少するように配置することができる。

【0015】一例では、蓄積素子及び整流素子は接合ダイオードで構成し、各蓄積素子及び関連する第1及び第2整流素子の一方をフォトセンシティブにし、整流素子及び蓄積素子を、各蓄積素子及び関連する第1及び第2整流素子に対し、

$$(C_x + C_y) I_p = C_r I_0$$

ここで、 C_x 、 C_y 及び C_r はフォトセンシティブ整流素子、他方の整流素子及びフォトセンシティブ蓄積素子の固有キャパシタンス、及び I_p 及び I_0 はフォトセンシティブ蓄積素子及びフォトセンシティブ整流素子に入射した光により発生される電流、となるように構成し、同一の蓄積素子列の一つの蓄積素子からの電荷の読出し中における他の蓄積素子からのリーク電流を低減する。

【0016】このような例では、各蓄積素子に対し、関連する整流素子を所定の面積を有するものとし、蓄積素子及びフォトセンシティブ整流素子は入射光に露光される第2の所定面積を有するものとし、整流素子及び蓄積素子のそれぞれの面積を、

$$(A_{c01} / 2 A_{d01}) = (A_{cs} / A_{ds})$$

ここで、 A_{ds} 及び A_{d01} は蓄積素子及び関連する整流素子の面積、及び A_{cs} 及び A_{c01} は蓄積素子及び関連するフォトセンシティブ整流素子の入射光に露光される第2の所定面積、が成り立つように定める。

【0017】選択された行の蓄積素子に蓄積されている電荷を読出すために選択された蓄積素子行と関連する整流素子のみを順方向バイアスする電圧を第2及び第3導体に供給する手段は、第2導体に電圧を供給する第1電圧供給手段及び第3導体に電圧を供給する第2電圧供給手段を具えるものとしてすることができる。この場合には電圧供給手段が2つの異なる電圧を供給することができる必要があるだけである。

【0018】本発明は本発明の第1の特徴を有する装置を動作させる方法も提供するものであり、本発明の方法は、読出すべき電荷蓄積素子を含む選択された行と関連する第2及び第3導体の一方に第1電圧を、他方に第2電圧を供給して関連する第1及び第2整流素子を順方向バイアスし、且つ選択された行の前記他方の（第2）導体に隣接する任意の第2導体に第3電圧を、選択された

行の前記一方の(第2)導体に隣接する任意の第2導体に第4電圧を供給して選択された行に隣接する各電荷蓄積素子行と関連する第1及び第2整流素子を逆バイアスするとともに、残りの第2導体に交互に第2及び第3電圧を供給して残りの電荷蓄積素子行と関連する第1及び第2整流素子を逆バイアスすることにより一つの列の各電荷蓄積素子に蓄積された電荷を逐次読出すことを特徴とする。

【0019】一例では、第2電圧を大地電圧にし、第1電圧を第2電圧に対し正にし、第3電圧を第2電圧に対し負にし、第4電圧を第1電圧に対し正にする。他の駆動方法も可能である。

【0020】

【実施例】以下図面を参照して本発明を実施例につき説明するに、図面は実寸図示したものでなく、又同様な部分を示すものには同じような参照番号を付して示してある。図3～図8を参照するに、これらの図に示す電荷蓄積装置1は電荷蓄積用の蓄積素子3のアレイ2を具えており、蓄積素子3は行列状に配置され、列の蓄積素子3は第1導体4に結合され、行の蓄積素子3はそれぞれ第2導体5a、5b及び第3導体6a、6bに結合され、行の各蓄積素子3は第1整流素子D1を経て関連する第2導体5a、5bに結合されると共に第2整流素子D2を経て関連する第3導体6a、6bに接続されており、第1及び第2整流素子D1及びD2が印加電圧により順方向にバイアスされたとき電流を流す。

【0021】本発明では、蓄積素子3の各行の第3導体6a、6bが蓄積素子3の任意の隣接行の第2導体5a、5bも形成し、一つ置きに行 $N-2$ 、 N 、 $N+2$ 、 $N+4$ 、 \dots ($N+2n$ 、ここで n は整数)内の蓄積素子3aと関連する第1及び第2整流素子D1'及びD2'を残りの行 $N-1$ 、 $N+1$ 、 $N+3$ 、 $N+5$ 、 \dots ($N+(2n+1)$ 、ここで n は整数)内の蓄積素子3bと関連する第1及び第2整流素子D1''及びD2''に対し逆向きに配置し、順方向バイアスのとき前記一つ置きに行 $N-2$ 、 N 、 $N+2$ 、 $N+4$ 、 \dots 内の蓄積素子3aと関連する第1及び第2整流素子D1'及びD2'が第2及び第3導体5a及び6b間に一方に電流を流し、逆バイアスのとき前記残りの行 $N-1$ 、 $N+1$ 、 $N+3$ 、 $N+5$ 、 \dots 内の蓄積素子3bと関連する第1及び第2整流素子D1''及びD2''が第2及び第3導体5b及び6a間に反対方向に電流を流すように構成し、且つ選択された行の蓄積素子に蓄積されている電荷を読出すために選択された行の蓄積素子3と関連する整流素子D1及び2のみを順方向バイアスする電圧を第2及び第3導体5a、5b及び6a、6bに供給する手段7を設ける。

【0022】従って、本発明による装置では蓄積素子3の行に関連する導体総数を増やす必要なく、蓄積素子3の不完全な再充電問題を低減することができる。図3は

本発明による電荷蓄積装置1の一例を概略的に示した線図である。本例の電荷蓄積装置1はイメージセンサである。イメージセンサ1は行と列に配置された画素2aのアレイ2を具えている。アレイ2の境界を図3では破線にて示してある。図3には複数の画素2aから成る3列8行のアレイしか示していないが、アレイは一般には画素2aのもっと多数の行と列とで構成することは当業者に明らかである。

【0023】各画素2aはフォトセンシティブダイオード3を具えており、このダイオードは関連する第1、即ち列導体4と、関連する第1及び第2スイッチングダイオードD1とD2の接続点Jとの間に結合させる。スイッチングダイオードD1及びD2は関連する第2及び第3導体5及び6間に直列に結合させる。

【0024】一つ置きに行 $N-2$ 、 N 、 $N+2$ 、 $N+4$ 、 \dots ($N+2n$)内のスイッチングダイオードD1'及びD2'は、第1スイッチングダイオードD1'のアノードが関連する第2導体5aに結合され、スイッチングダイオードD2'のカソードが関連する第3導体6bに結合される向きにする。残りの行 $N-1$ 、 $N+1$ 、 $N+3$ 、 \dots ($N+(2n-1)$)の画素2aと関連するスイッチングダイオードD1''及びD2''はスイッチングダイオードD1'及びD2'と反対の向きにして、第1スイッチングダイオードD1''のカソードが関連する第2導体5bに結合され、スイッチングダイオードD2''のアノードが関連する第3導体6aに結合される。

【0025】各画素2aにおいて、フォトセンシティブダイオード3は、そのカソードが対応する第1及び第2スイッチングアノードD1及び2間の接続点Jに結合される向きにする。図3から明らかなように、第N行の画素2aの第3導体6bが第N+1行の画素2aの第2導体5bを形成するとともに、第N+1行の第3導体6aが第N+2行の第2導体5aを形成する。

【0026】図3に示す例では、導体5及び6に適当な電圧を供給する第1及び第2駆動回路7a及び7bを具える。第1駆動回路7aは一つ置きに導体5a、6aに適当な電圧を供給するように配置され、第2駆動回路は残りの導体5b、6bに適当な電圧を供給するように配置される。

【0027】各行導体5a、6aは各別のスイッチングトランジスタ71及び72を経て電圧供給ラインV+及びV-に結合される。スイッチングトランジスタ71及び72のゲート又は制御電極はシフトレジスタ兼デコーダ回路70aに結合される。第2行駆動回路7bも同様に導体5b、6bを電圧供給ラインV+及びV++にそれぞれ結合するスイッチングトランジスタ73及び74を具え、それらのゲート又は制御電極がシフトレジスタ兼デコーダ回路70bに結合される。シフトレジスタ兼デコーダ回路70a及び70bは既知のようにクロッ

ク信号の制御の下でトランジスタ71~74を駆動し、行導体5及び6に適当な電圧信号を適当な時間に供給するように構成されている。

【0028】各列導体4は既知の形態の各別の電荷検出増幅器8を経て出力シフトレジスタ兼デコーダ回路9に結合され、この回路の出力端子Oからイメージ信号を適当なメモリ又はディスプレイ（図示せず）に供給することができる。各電荷検出増幅器8は、その出力端子がキャパシタC1を経てその負入力端子に結合され、蓄積電荷の読出し中に関連する列導体4から供給される電流を電圧出力に変換する。電荷検出増幅器8の正入力端子は大地又は任意の適当な固定基準電位に結合する。固定基準電位は、フォトセンシティブダイオードを常に逆バイアスする必要があるため、実際上行電圧により決まる。

【0029】イメージセンサ1は任意の適当な構成にすることができるが、本例ではイメージセンサ1を適当な絶縁基板上に薄膜技術を用いて形成する。イメージセンサ1を光が透過するようにする必要がある場合には、基板を透明にする必要がある。行駆動回路7a、7b、電荷検出増幅器8及び出力シフトレジスタ兼デコーダ回路9はアレイ2と別の基板（又はその周縁部）上に形成することができ、例えば多結晶薄膜トランジスタ回路の形に形成することができる。

【0030】図4は図3に示したイメージセンサの一例の互いに隣接する行N及びN+1の1つの画素のレイアウトを示し、図5は図4の第N行における画素2aのV-V線上での断面図を示し、図6は同じ列におけるN及びN+1行の2つの画素2aのVI-VI線上での断面図を示す。

【0031】上述したように、イメージセンサ1は絶縁性で、一般に透明の基板（これは適当なガラス又はプラスチック材料製とすることができる）の上に薄膜技法により形成する

【0032】第1の導電層、一般にはクロム層を絶縁性基板10の上に堆積し、これを画成して行導体5、6の少なくとも一部と、第1スイッチングダイオードD1'及び第2スイッチングダイオードD2'のカソード電極11a及び11bと、第2スイッチングダイオードD2'及び第1スイッチングダイオードD1'のカソード電極12a及び12bと、フォトセンシティブダイオード3のカソード電極13とを形成する。図4~図6に示すように、カソード電極11a及び11bは、関連するフォトセンシティブダイオード3のカソード電極13と一体に形成すると共に、カソード電極12a及び12bは関連する行導体5b、6bの少なくとも一部と一体に形成する。

【0033】本例では、フォトセンシティブダイオード3及びスイッチングダイオードD1とD2を、n導電形と、真性導電形と、p導電形のアモルファスシリコン層を順次堆積することによりアモルファスシリコンn-i

pダイオードとして形成する。次いで、これらの層をパターン化して図5及び図6に示すようなダイオード構造にする。図面の明瞭化のために図5及び図6ではダイオード構造にクロスハッチを付してない。

【0034】次に、絶縁層、一般には窒化シリコン層を堆積し、これをパターン化して絶縁分離領域14を形成する。次いで第2導電層、一般にはクロム層を堆積し、これをパターン化して第1スイッチングダイオードD1'及び第2スイッチングダイオードD2'のアノードを関連する行導体5a、6aにそれぞれ結合する第1の相互接続部15a及び15bと、第1スイッチングダイオードD1'のカソードを関連する第2スイッチングダイオードD2'のアノードに結合すると共に第2スイッチングダイオードD2'のカソードを関連する第1スイッチングダイオードD1'のアノードに結合する第2の相互接続部16a及び16bと、列導体4の少なくとも一部を形成する。こうして形成したものの上に、必要に応じ、図示しては無いが、ポリイミド層の如き透明の保護絶縁層を堆積することができる。

【0035】図4から明らかなように、残りの行N-1、N+1、N+3、---の画素2aのレイアウト構造は列N-2、N、N+2、---の画素2aの実際上鏡面像になる。イメージセンサのレイアウトは任意の適当なパターンとすることができるが、図4示すように、列及び行導体4、5及び6が長方形、一般には方形状格子を画成し、スイッチングダイオードD1及びD2とフォトセンシティブダイオード3が画素2aを占める面積をできるだけ少なくして、イメージセンサをできるだけ透明にすることにより、このイメージセンサをディスプレイの如き他の物の上に乗せても、このディスプレイを不鮮明にすることのないようにすることができる。勿論、最大感度が要求される（例えばX線診断装置のような）場合には、フォトセンシティブダイオード3の面積をできるだけ大きくすべきである。

【0036】上述した構成では、全ダイオードD1、D2及び3をp-i-nダイオードとしてではなくn-i-pダイオードとして形成して、全ダイオードを同時に形成することができる。しかし、必要に応じ、ダイオードのうちの適当なものをp-i-nダイオードとして形成することもできる。この場合には相互接続部及び金属化パターンを簡単に単純化することができる。実際には、一般にn-i-pダイオードはp-i-nダイオードよりもフォトセンシティブダイオードとして優れており、又p-i-nダイオードはn-i-pダイオードよりもスイッチングダイオードとして優れていることを記憶に留めて、特定の用途に合った最適な形態のダイオードを用いるようにする。

【0037】スイッチングダイオードD1及びD2はフォトセンシティブダイオード3とは異なり、スイッチングダイオードのアノード及びカソードには入射光が当た

らないようにするのに対し、フォトセンシティブダイオード3には勿論、図5及び6に示すように、そのアノード側に入射光が当たるようにすることは当業者には明らかである。

【0038】次に上述したイメージセンサの動作を図7～8につき説明するが、これらの各図にはイメージセンサの一部と、1つの画素の読出し中に印加される電圧が示されている。図7は行Nの画素Xの読出し中の状態を示し、図8は行N+1の画素Yの読出し中の状態を示す。

【0039】先ず図7につき説明すると、行N内の画素Xに予め蓄積されている電荷を読出すためには、第1又は左の行駆動回路70aが画素行N-2, N+2, N+4, . . . の行導体5aに結合されたトランジスタ71を導通させるとともに、画素行Nの行導体5aに結合されたトランジスタ72を導通させる。従って、画素行Nの行導体5aが電圧供給ラインV+に結合されるとともに、画素行N-2, N+2, N+4, . . . (N+2n, ここでn≠0)の行導体5aが電圧供給ラインV-に結合される。同時に、第2又は右の駆動回路70bが画素行N+1, N+3, N+5, . . . (N+2n-1), ここでn≠0)の行導体5bに結合されたトランジスタ73を導通させるとともに画素行N-1の行導体5bに結合されたトランジスタ74を導通させる。従って、画素行N-1の行導体5bが電圧供給ラインV++に結合されるとともに、画素行N+1, N+3, N+5, . . . の行導体5bが電圧供給ラインV0に結合される。電圧V++は電圧V+より正であり、V+は電圧V0より正であり、V0は電圧V-より正である。

【0040】従って、行N内の画素2aのスイッチングダイオードD1及びD2が順方向バイアスされるとともに、行N以外の行内の画素2aのスイッチングダイオードが逆バイアスされる。このとき電流が行Nの画素のフォトセンシティブダイオードキャパシタンスCを経て流れ、関連する電荷検出増幅器8がこの電流を積分し、その出力信号を出力シフトレジスタ兼デコード回路9に供給し、この回路9がその出力端子Oからイメージ信号を適当なメモリ又はディスプレイ（図示せず）に供給することができる。電流は行Nの画素のフォトセンシティブダイオードキャパシタンスCを経て、関連する2つの行導体の平均電圧に達するまで流れる。従って、フォトセンシティブダイオードキャパシタンスCを対応する読出パルス中に完全に再充電することができ、従ってラグを完全に、又は少なくとも相当に低減することができる。

【0041】行N+1内の画素Yに予め蓄積されている電荷を読出すためには、図8に示すように、第1又は左の駆動回路70aが画素行N-2, N, N+4, . . . (N+2n)の行導体5aに結合されたトランジスタ71を導通させるとともに、画素行N+2の行導体5aに結合されたトランジスタ72を導通させる。従って、画

素行N+2の行導体5aが電圧供給ラインV+に結合されるとともに、画素行N-2, N, N+4, . . . (N+2n, ここでn≠1)の行導体5aが電圧供給ラインV-に結合される。同時に、第2又は右の駆動回路70bが画素行N-1, N+1, N+5, . . . (N+2n-1), ここでn≠2)の行導体5bに結合されたトランジスタ73を導通させるとともに画素行N+3の行導体5bに結合されたトランジスタ74を導通させる。従って、画素行N+3の行導体5bが電圧供給ラインV++に結合されるとともに、画素行N-1, N+1, N+5, . . . の行導体5bが電圧供給ラインV0に結合される。

【0042】従って、行N+1内の画素2aのスイッチングダイオードD1及びD2が順方向バイアスされるとともに、行N+1以外の行内の画素2aのスイッチングダイオードが逆バイアスされる。このとき電流が行N+1の画素のフォトセンシティブダイオードキャパシタンスCを経て流れ、関連する電荷検出増幅器8がこの電流を積分し、その出力信号を出力シフトレジスタ兼デコード回路9に供給し、この回路9がその出力端子Oからイメージ信号を適当なメモリ又はディスプレイ（図示せず）に供給することができる。

【0043】この場合にも、電流は行N+1の画素のフォトセンシティブダイオードキャパシタンスCを経て、関連する2つの行導体の平均電圧になるまで流れる。従って、フォトセンシティブダイオードキャパシタンスCが対応する読出パルス中に完全に再充電することができ、従ってラグを完全に、又は少なくとも相当に低減することができる。

【0044】このことは、イメージセンサに関連するノイズが低い場合に、このイメージセンサを低光量の状態にて過度のラグ問題を生ずることなく動作させることができることを意味している。又、選択画素行のスイッチングダイオードD1及びD2を順方向に強くバイアスすると共に画素キャパシタンスを迅速に再充電することができるため、画素を一層迅速に読取ることができる。さらに、所定のフレーム時間（即ち全イメージセンサを読出す時間）中のイメージセンサの垂直方向クロストーク、即ち列導体間のクロストークが極めて少なくなる。その理由は、このようなクロストークは画素行が選択される時間とフレーム時間との関数であり、本例の場合には行選択時間を短縮し得るからである。さらに、行導体の数が図1に示したような通常のイメージセンサの行導体の数の1/2となり、又EP-A-233489に記載されている装置の行導体数の1/4となる。このことは、本発明によるイメージセンサは行導体を大きく離間し得るためにEP-A-555907に記載されている方法で他の同様なイメージセンサと一緒に共通の基板上に取付けるのに特に好適であることを意味する。

【0045】更に、導体で占められないイメージセンサ

の有効面積が増大する結果、イメージセンサを一層透明にすることができ、例えばイメージセンサをディスプレイ上に装着する必要がある場合に望ましい。或いはまた、その結果として蓄積素子を大きくすることができ、これは入力光レベルが低く高感度が要求されるX線診断用に特に望ましい。

【0046】各画素行は適当な行導体5、6に適当な電圧を印加することにより逐次読取ることができる。特定の行の画素を読出す場合には、残りの画素の関連するスイッチングダイオードD1及びD2が逆バイアスされ、従ってこれら残りの画素は積分期間にあり、この期間内では、画素に入射する光によりフォトセンシティブダイオードにおいて電荷キャリアの光生成により生じた電荷が画素に蓄積される。従って、積分期間中に画素行に蓄積された電荷は次の読出し期間に読出され、画素行は逐次読出される。所要に応じ列を同時に、又は逐次読出すこともできる。

【0047】図9は電荷検出増幅器8の出力電圧 V_{out} と、第1読出しパルス又はフレーム1の直前の積分期間中のみ照射された所定画素に印加された読出しパルスの数又はフレーム数との間の関係をグラフにして示した図である。太い破線40は図1に示したタイプの画素に対する結果を示し、これから明らかなように、この場合にはラグがあるが、本発明によるイメージセンサの画素に対する結果を示している細い破線41の場合はラグは極めて少なく、実際上ラグは殆どない。

【0048】電荷蓄積装置1はイメージセンサ以外に、例えばメモリ装置又は温度検知装置とすることができ、しかも上述した薄膜技法の代わりに任意の適当な方法を用いて形成し得ることは勿論である。

【0049】これまでに述べた本発明によるイメージセンサの例では、前述したように垂直方向のクロストークは通常の装置に比べてかなり低減するも、同じ列における選択画素を読出している時に、不所望な電流が非選択画素2aから列導体4に流れることにより若干の垂直方向クロストークが依然生ずることがある。この垂直方向のクロストークがあると、選択画素に対する電荷検出増幅器8からの積分出力には、その選択画素の列における他の全ての画素からの影響が含まれることになる。不所望な列電流の主たる原因は、その列における非選択画素からの“ダイナミックリーク”にある。従って、画素が光を検出すると、フォトセンシティブダイオード3内における電荷キャリアの光生成によりフォトセンシティブダイオード3の固有キャパシタンスが放電され、これによりスイッチングダイオードD1間の電圧が変化する*

$$I_x = -(C_x + C_y) \frac{dV_x}{dt}, I_y = -C_p \frac{dV_x}{dt} \quad (4)$$

になる。

【0053】式2、3及び4から、 I_L を表す次式が得られる。

*ことになる。つ2のスイッチングダイオードD1とD2との中間点Jにおける電圧 V_J が変化することにより、スイッチングダイオードD1のキャパシタンス C_0 、従って関連する列導体4へ次のような電流 I 、即ち

$$I = C_0 \frac{dV_J}{dt} \quad (1)$$

が流れて、垂直方向のクロストークが生ずる。このクロストークは画像からの情報を除去することになり、例えば白の背景上の黒テキストが白で現れ、見えなくなることが起こり得る。

【0050】図10は垂直方向クロストークを除去又は少なくとも著しく低減するよう設計された本発明イメージセンサの変形例1aの一つの画素2bを示す。この変形イメージセンサ1aは上述したイメージセンサと、第1整流素子又はダイオードD1'及びD1"（簡便のために一つの画素のみを示すため、第1及び第2整流素子又はダイオードを以後単にD1及びD2と言う）がフォトセンシティブに形成されている点が相違する。これは、図5及び図6に示す実施例において、電極15a及び16bを検出すべき光に透明な部分を有するように形成することにより達成することができる。これは、電極15a及び16bに接点孔を形成するメタライゼーションエッチングマスクを変更することにより最も簡単に達成される。図10に示すキャパシタンス C_x 及び C_y はダイオードD1及びD2の固有キャパシタンスを表し、キャパシタンス C_p はフォトセンシティブダイオード3の固有キャパシタンスを表す。

【0051】図11は図10に示す画素2bの等価回路図である。図11では、フォトセンシティブスイッチングダイオードD1はキャパシタンス C_x と並列の電流源 I_0 として表され、フォトセンシティブダイオード3はキャパシタンス C_p と並列の電流源 I_p として表される。非フォトセンシティブスイッチングダイオードD2は入射光に応答しないためキャパシタンス C_y と並列の単なるキャパシタンス C_y として表される。

【0052】他の画素の読出し中に画素2bが光検知中である状態を考察する。図11から、キルヒホッフの法則を用いると、この場合には非選択画素2bから列導体4へ流れるリーク電流 I_L は： I_y をキャパシタンス C_p を流れる電流とすると、

$$I_p - I_L = I_y \quad (2)$$

になり、 I_x をキャパシタンス C_x を流れる電流とすると、

$$I_L + I_0 = I_x \quad (3)$$

になり、 I_x 、 I_y は、

【数1】

【数2】

$$I_L = \frac{(C_x + C_y) I_p - C_p I_0}{C_p + (C_x + C_y)} \quad (5)$$

式5から、リーク電流を零にする条件は：

$$(C_x + C_y) I_p = C_p I_D \quad (6)$$

になる。従って、

$$I_p / C_p = I_D / (C_x + C_y) \quad (7)$$

にすれば、 I_L が零になり、垂直方向クロストークが除去される。

【0054】フォトセンシティブ電流 I_{PHOTO} は $K A_c$ に等しい。ここで K は定数、 A_c はフォトダイオードの露光面積（即ちフォトダイオードの不透明電極又は接点、例えば図5のフォトダイオード3の電極4の孔の面積）である。従って、無リーク電流条件はフォトセンシティブダイオードD1及び3の幾何学寸法により決定することができる。画素のスイッチングダイオードD1及び2が等しい面積であり、且つ3つの全ダイオードD1、D2及び3の厚さが同一であるものとする、式7は：

$$(A_{CD1} / 2 A_{DD1}) = (A_{CS} / A_{DS})$$

になる。ここで、 A_{DD1} 及び A_{DS} はスイッチングダイオードD1及びフォトセンシティブダイオード3の面積であり、従ってそれらのそれぞれのキャパシタンスに比例し、 A_{CD1} 及び A_{CS} はスイッチングダイオードD1及びフォトセンシティブダイオード3の露光面積であり、従ってそれぞれのダイオードの入射光により発生される光電流に比例する。ここで、ダイオードD1、D2及び3に関連して使用する”面積”はダイオード電極にほぼ平行な平面内のダイオードの面積、即ち図5及び図6においてダイオードが形成される基板10の表面10aに平行な平面内のダイオードの面積を意味する。ダイオードの厚さは基板10の表面に垂直方向に測る。

【0055】従って、ダイオードD1、D2及び3の相対幾何学寸法を適切に選択することにより、選択された画素の列内の非選択画素からのリーク電流は非選択画素のダイオードD1のキャパシタンス／光電流ループ内を内部的に流れ、列導体4を流れないため、垂直クロストークが除去又は少なくとも相当低減される。従って、例えば、2つのフォトセンシティブダイオードの接点孔の面積 A_{CD1} 及び A_{CS} が等しい場合、零垂直クロストークのためにはフォトセンシティブダイオード3の面積 A_{DS} をフォトセンシティブスイッチングダイオードD1の面積 A_{DD1} の2倍にする必要がある。

【0056】当業者であれば、他の駆動方法が可能であり、例えば4つの異なる電圧レベルを供給しうる適当な駆動源が使用可能である場合には単一の行ドライバを使用することができる。また、電圧を逆にするのが好ましい場合には、フォトセンシティブダイオード3も逆向きにしてそれらのアノードを第1及び第2スイッチングダイオードD1及びD2の接続点Jに接続することができる。

【0057】また、行及び列導体は必ずしも図面に示すように水平及び垂直に延在させる必要はない。行導体を

垂直に、列導体を水平に延在させてもよく、即ち図3～7に示す装置を90°回転させることもできる。同様に、行及び列導体は必ずしも互いに直交させる必要はなく、任意の適当な配置を採用することができる。ダイオードの向きを逆にすることができること勿論であるが、この場合には装置の駆動に必要なとされる電圧も適切に変化させる必要があること勿論である。

【0058】整流素子は必ずしもダイオードにする必要はなく、一方向（逆方向）にできるだけ低い電流を流し、多方向（順方向）に所要の電流を流す非対称特性を有する任意の形態の素子、一般に2端子素子、とすることができる。同様に、フォトセンシティブ素子も必ずしもダイオードとする必要はなく、照射されたときのみ電流を流す他のタイプのフォトセンシティブデバイスとすることができる。従って、例えば、フォトセンシティブダイオードは適当なキャパシタンスと直列の、例えば酸化鉛からなる光導電導体と置き換えることができる。

【0059】以上の説明を読めば、当業者であれば他の種々の変更及び変形が可能である。例えば、上述した各構成要素と等価の構成要素や、従来既知の構成要素を用いることができ、更に上述した実施例の構成要素の一部を交換したり、構成要素を加えたりすることもできる。特許請求の範囲は構成要素の組合せとして記載されているが、本発明で解決すべき技術的問題の一部又は全部を解決する、しないにかかわらず、本明細書に開示された新規な構成又は構成要素の組合せも本発明の範囲に含まれるものである。

【図面の簡単な説明】

【図1】図1は既知の電荷蓄積装置の一画素の簡略回路図である。

【図2】既知の電荷蓄積装置の動作説明用波形図である。

【図3】本例ではイメージセンサである本発明の電荷蓄積装置の回路レイアウト図である。

【図4】本発明のイメージセンサの一部分の可能なレイアウトを示す平面図である。

【図5】図4のV-V線上の断面図である。

【図6】図4のVI-VI線上の断面図である。

【図7】本発明イメージセンサの動作説明のためのその一部分の回路図である。

【図8】本発明イメージセンサの動作説明のためのその一部分の回路図である。

【図9】本発明電荷蓄積装置の画素と図1に示す画素のラグ特性の差を示すグラフである。

【図10】本発明イメージセンサの変形例の画素の回路図である。

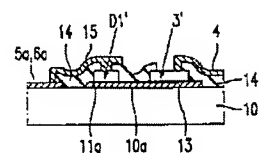
【図11】図10に示す画素の等価回路図である。

【符号の説明】

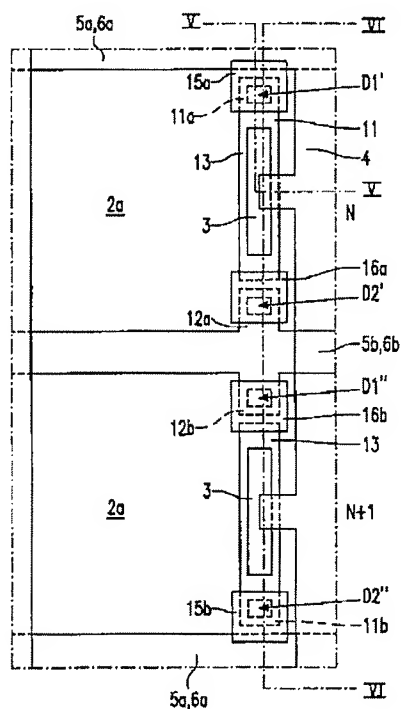
- 1 電荷蓄積装置
- 2 アレイ

- 7 駆動回路
8 電荷検出増幅器
9 出力シフトレジスタ兼デコーダ回路
D1, D2 スイッチングダイオード

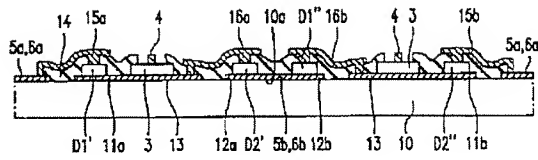
【图 5】



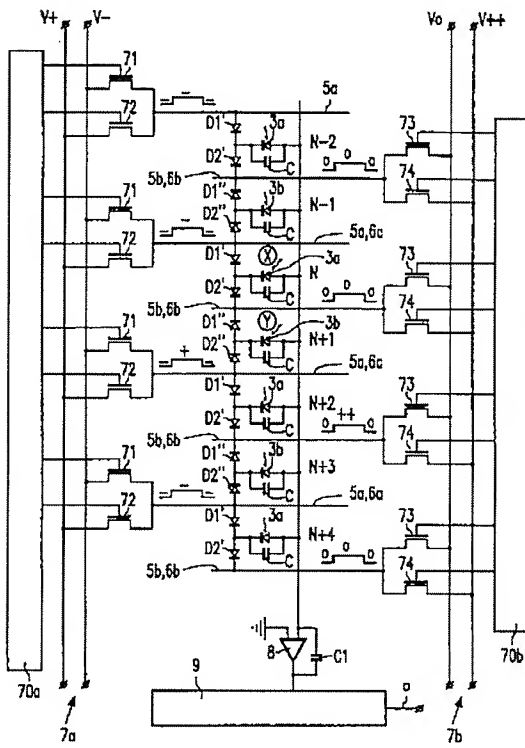
【図4】



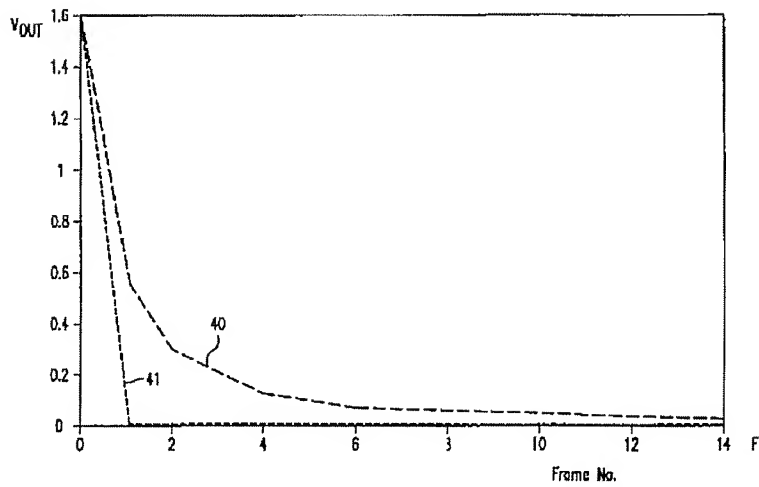
【図 6】



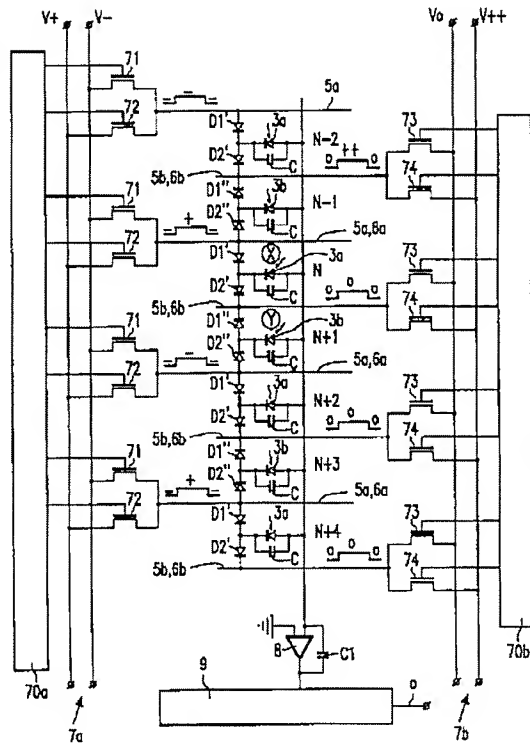
【図 8】



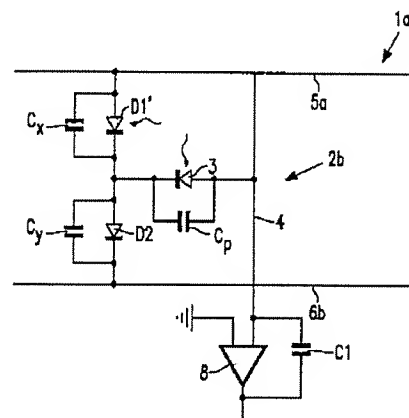
【図 9】



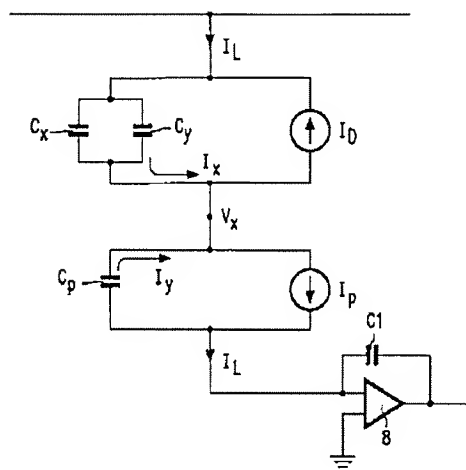
【図 7】



【図 10】



【図11】



フロントページの続き

(72)発明者 ジェラード フランシス ハーキン
 イギリス国 ロンドン エスタブリュー17
 8キュージー パルハム リサードン
 ロード 92 フラット 1 エイチ